

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-218595

(43)Date of publication of application : 18.08.1995

(51)Int.Cl.

G01R 31/28

G01R 31/26

H01L 21/66

H01L 21/82

(21)Application number : 06-011521

(71)Applicant : HITACHI LTD

(22)Date of filing : 03.02.1994

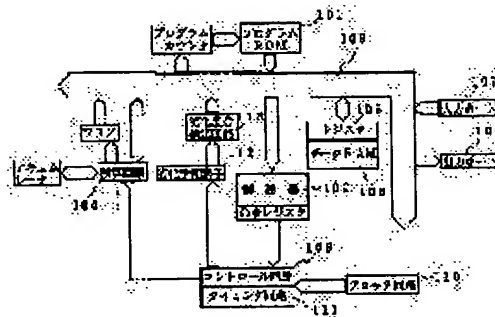
(72)Inventor : WAKAHARA ATSUSHI  
SHIMIZU TERUHISA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To predict the occurrence of deterioration and troubles of a semiconductor integrated circuit device beforehand by installing a deterioration predicting element, whose deterioration proceeds more quickly than other elements used, in a semiconductor substrate, driving the element by the same driving power source for the integrated circuit used, and detecting the degree of the deterioration and displaying it.

CONSTITUTION: A deterioration predicting element 112 is produced by depositing aluminum or an aluminum alloy by sputtering and is composed of a linear part and a pair of contact parts. One of the contact parts is connected with a control circuit 103 and the other is connected with a deterioration degree detecting circuit 113. Following a program stored in a program ROM 101, the circuit 103 sends clock pulses out of a clock circuit 110 to the element 112 at the working time of the computing circuit 104. The circuit 113 detects the current value flowing in the stores element 112 and the result in a resistor 105 through a data bus 109. Deterioration judging data is stored in the ROM 101 and by comparing the detected result with the data, the deterioration degree of the element 112 is judged and the result is sent out of an output port 108.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-218595

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
31/26	G			
H 0 1 L 21/66	F	7630-4M		
		8832-4M	G 0 1 R 31/28	V
			H 0 1 L 21/82	T

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-11521

(22) 出願日 平成6年(1994)2月3日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 若原 篤志

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 清水 照久

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

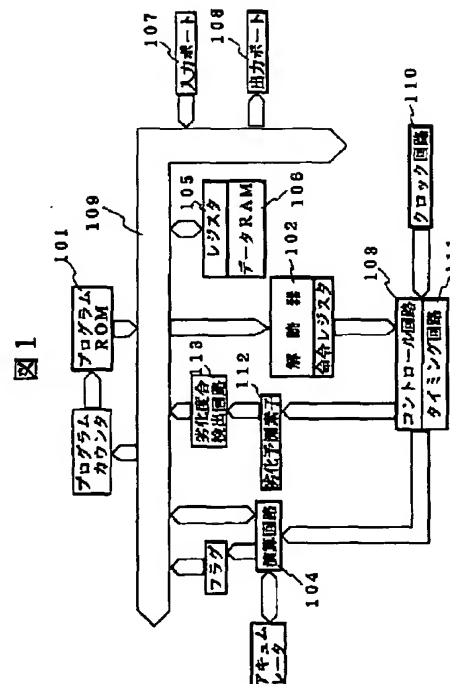
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 半導体集積回路装置において、劣化故障の発生を未然に予測し、半導体集積回路装置を搭載する電子機器の信頼性を向上することができる。

【構成】 半導体基板20上に複数の素子からなる集積回路が構成され、該素子の劣化故障により前記集積回路が動作不能となる半導体集積回路装置において、前記素子より劣化の進行が早い劣化予測素子112を前記半導体基板20上に設け、前記集積回路と同じ駆動源により該劣化予測素子112を動作させる手段と、前記劣化予測素子112の劣化の度合を検出する劣化度合検出手段113と、該劣化度合検出手段113の出力に基づいて前記劣化予測素子112の劣化度合を示す手段とを備える。また、前記劣化予測素子は複数の絶縁層で構成した段差上に設けた配線21からなる。



## 【特許請求の範囲】

【請求項1】 半導体基板上に複数の素子からなる集積回路が構成され、該素子の劣化故障により前記集積回路が動作不能となる半導体集積回路装置において、前記素子より劣化の進行が早い劣化予測素子を前記半導体基板上に設け、前記集積回路と同じ駆動源により該劣化予測素子を動作させる手段と、前記劣化予測素子の劣化の度合を検出する劣化度合検出手段と、該劣化度合検出手段の出力に基づいて前記劣化予測素子の劣化度合を示す手段とを備えたことを特徴とする半導体集積回路装置。

【請求項2】 前記請求項1に記載の半導体集積回路装置であって、前記劣化予測素子は複数の絶縁層で構成した段差上に設けた配線からなることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特に、劣化故障による動作不能を未然に予測する必要がある半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】半導体集積回路装置は、主面に集積回路が構成された半導体基板を主体に構成されている。この半導体基板は、単結晶珪素からなる半導体基板の一主面上に半導体素子が設けられ、該半導体素子の上面に絶縁層を介在して配線が設けられている。前記絶縁層には接続孔（スルーホール）が形成され、該接続孔を通して、前記配線が前記半導体素子に接続され、所定の結線を行い前記集積回路を構成している。

【0003】また、前記半導体集積回路装置の製造工程において、前記半導体基板は、単結晶珪素からなる一枚の半導体ウエハに複数枚分の前記半導体基板が形成される。前記半導体ウエハは、ダイシング工程で前記半導体基板に分離される前に、プローブ検査が行われる。該プローブ検査工程とは、前記半導体ウエハに形成された前記半導体基板毎に外部電極に金属針を接触させて動作確認し、正常に動作しない半導体基板に印をつけて、不良の半導体基板を選別する工程である。

【0004】前記プローブ検査を合格した前記基板は、パッケージに搭載され、エージング試験工程が行われる。該エージング試験工程とは、高温（百数十℃）で所定時間、連続動作させ、短時間の連続動作で故障する、所謂初期不良を取り除く工程である。

【0005】そして、プローブ検査工程やエージング試験工程等を合格して、良品となった半導体集積回路装置は、プリント基板等実装され、電子機器（例えばコンピュータ）の一部として使用される。

【0006】また、良品となった半導体集積回路装置の中から幾つか抜き取り、加速寿命試験を行う。該加速寿命試験は、高温中で半導体集積回路装置が故障するまで連

続動作させる破壊試験である。加速寿命試験での故障は、主に素子の劣化による劣化故障、例えばエレクトロマイグレーションによる前記配線の断線である。

【0007】前記半導体集積回路装置の耐用年数は、前記加速寿命試験で得られる動作時間に対する故障率から、プリント基板に実装される半導体集積回路装置の故障率を推定し、それをもとに算定している。

【0008】図3は、前記半導体集積回路装置の連続動作時間と故障率との関係を示すグラフである。

【0009】図3に示すように、前記半導体集積回路装置は、連続動作の開始から短期間で初期不良による故障が発生し（イ）、その後、徐々に前記劣化不良が発生し（ロ）、前記耐用年数の経過後、劣化不良が増加する（ハ）。

【0010】

【発明が解決しようとする課題】しかしながら、本発明者は、前記従来技術を検討した結果、以下のような問題点を見いだした。

【0011】従来、前記半導体集積回路装置の耐用年数は、加速寿命試験の破壊検査の結果をもとに推定した目安であり、前記エージング試験を合格し、電子機器に搭載される半導体集積回路装置の中には、僅かではあるが、該耐用年数より早く、劣化故障が発生して動作不能になるものもある。耐用年数より早く劣化故障が発生する半導体集積回路装置は、エージング試験等で選別することができず、前記電子機器に異常が起きてから発見されていた。つまり、劣化故障の発生を予測することができないという問題があった。

【0012】また、劣化故障が発生した場合、前記半導体集積回路装置を搭載した電子機器は、誤動作若しくは動作不能となるが、劣化故障の発生を未然に予測できないので、前記電子機器の誤動作若しくは動作不能にたいして、事前に対処することができず、電子機器の信頼性が乏しいという問題があった。

【0013】本発明の目的は、半導体集積回路装置において、劣化故障の発生を未然に予測することができる技術を提供することにある。

【0014】本発明の他の目的は、半導体集積回路装置を搭載する電子機器の信頼性を向上することができる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0017】（1）半導体基板上に複数の素子からなる集積回路が構成され、該素子の劣化故障により前記集積回路が動作不能となる半導体集積回路装置において、前

3

記素子より劣化の進行が早い劣化予測素子を前記半導体基板上の所定位置に設け、前記集積回路と同じ駆動源により該劣化予測素子を動作させる手段と、前記劣化予測素子の劣化の度合を検出する検出手段と、該検出手段の出力に基づいて前記劣化予測素子の劣化度合を示す表示手段とを備える。

【0018】(2) 手段(1)に記載の半導体集積回路装置であって、前記劣化予測素子は複数の絶縁層で構成した段差上に設けた配線からなる。

【0019】

【作用】上述した手段(1)によれば、同じ駆動源で動作している前記集積回路素子と前記劣化予測素子とは、劣化の進行は同時に開始されるがであるが、前記劣化予測素子は、前記素子より劣化の進行が早いので、それをもとに前記集積回路素子の劣化の度合を予測することができる。

【0020】また、前記集積回路素子の劣化の度合を予測することができるので、前記素子の劣化故障が発生して前記半導体集積回路装置を搭載した電子機器が誤動作若しくは動作不能となる前に、前記半導体集積回路装置の取替えるなどの対処ができる。これにより、電子機器の信頼性を向上することができる。

【0021】また、上述した手段(2)によれば、段差上に設けた配線は、その厚さが平坦上に設けた配線の厚さより薄くなるので、エレクトロマイグレーションによる劣化の進行が早く、前記集積回路を構成する配線よりも先に断線する。当該段差上に設けた配線の劣化の度合は、検出手段で検出され、表示手段で示されるので、これをもとに集積回路を構成する配線のエレクトロマイグレーションによる劣化の度合を予測することができる。

【0022】以下、本発明の構成を図面を用いて実施例とともに詳細に説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】

【実施例】図1は、本発明の一実施例である半導体集積回路装置の概略構成を示すブロック図、図2(a)は、前記半導体集積回路装置の劣化予測素子の構成を示す平面図、図2(b)は、図2(a)のA-A線で切った劣化予測素子の要部断面図である。

【0024】本実施例の半導体集積回路装置は、平面形状が方形の単結晶珪素からなる半導体基板を主体に構成される。前記半導体基板の主面には、半導体素子が形成され、その上部には絶縁膜を介在した多層構造の配線が設けられる。該配線は、絶縁膜に形成された接続孔(スルーホール)を通して、前記半導体素子を結線し、集積回路が構成されている。

【0025】そして、前記半導体集積回路装置は、図1に示すように、所定のプログラムが記憶されるプログラムROM101、該プログラムを解説する解説器10

4

2、該プログラムに基づいて、各部に命令するコントロール回路103、該命令に従って演算を行う演算回路104、演算結果を一時的に記憶するレジスタ105、データを記憶するデータRAM106、データの入力を行う入力ポート107、データの出力を行う出力ポート108で構成されている。前記プログラムおよびデータは、内部バス109を経由して伝達される。

【0026】また、半導体集積回路装置の内部(または外部)にクロック回路110が設けられ、一定のクロックパルスを発信している。このクロックパルスにあわせてコントロール回路103は、半導体集積回路装置の各部を動作させる。このときの各部の動作タイミングは、タイミング回路111によりとられる。

【0027】また、前記半導体基板20の前記半導体素子が形成される主面上に、劣化予測素子112、劣化度合検出素子113が設けられている。

【0028】本実施例の劣化予測素子112は、半導体集積回路装置の信号配線の劣化故障(エレクトロマイグレーションによる断線)を未然に予測するものである。

【0029】図2(a)に示すように、本実施例の劣化予測素子112は、直線部21と、該直線部21の両端に接続された一対のコンタクト部22とで構成される。該劣化予測素子112は、アルミニウムやアルミニウム合金からなり、スパッタ法で堆積される。

【0030】図2(b)に示すように、劣化予測素子112の直線部21は、層間絶縁膜24a、24b、24cおよび下層配線25a、25b、25cで構成された段差上に形成される。前記直線部21は、スパッタ法で堆積されるので、該段差部において、配線の厚さが薄くなり、この部分でエレクトロマイグレーションの進行が早くなる構造になっている。

【0031】層間絶縁膜24a、24b、24c、下層配線25a、25b、25c、および劣化予測素子21は、前記多層配線の一部として同一の製造プロセスで形成される。

【0032】まず、半導体基板20主面に半導体素子を形成した後、半導体基板20の全主面上に絶縁膜23をスパッタ法またはCVD法で堆積し、第1層目の配線と同じ工程で、下層配線25aを堆積し、パターニングする。そして、層間絶縁膜24aをCVD法で堆積し、パターニングする。層間絶縁膜24aは、例えば酸化珪素膜であり、リン(P)やボロン(B)が添加される。

【0033】次に、同様の工程を繰返して、下層配線25b、層間絶縁膜24b、下層配線25cおよび層間絶縁膜24cを形成する。

【0034】次に、前記層間絶縁膜24c上にスパッタ法でアルミニウムまたはアルミニウム合金を堆積し、ドライエッチング工程によりパターニングして、劣化予測素子112が形成される。

【0035】前記劣化予測素子112のコンタクト部2

5

2は、一方がコントロール回路103に接続され、他方が劣化度合検出回路113に接続されている。

【0036】コントロール回路103は、前記プログラムROM101に記憶されたプログラムに従い、演算回路104の動作時に劣化予測素子112にクロック回路110で発生したクロックパルスを流す。前記劣化度合検出回路113は、劣化予測素子112に流れる電流値を検出し、その検出結果をデータバス109を経由してレジスタ105またはデータRAM106に収納する。

【0037】プログラムROM101には、劣化予測素子112の劣化度合を判定する劣化度合判定データが予め記憶されており、前記検出結果は、該劣化度合判定データと比較され、比較結果は、レジスタ105またはデータRAM106に収納され、データバス109を経由して出力ポート108から出力される。

【0038】以上の説明からわかるように、本実施例によれば、本発明の半導体集積回路装置は、エレクトロマイグレーションによる断線の進行が信号配線に比べて早い劣化予測素子112が設けられ、演算回路の動作時にクロック回路110で発生したクロックパルスを流し、劣化度合検出回路113が劣化予測素子に流れる電流を検出し、その検出結果をもとに劣化予測素子112の劣化の度合を出力ポート108から出力されるので、それをもとに信号配線のエレクトロマイグレーションによる断線を予測することができる。

【0039】また、信号配線のエレクトロマイグレーションによる断線を未然に予測することができるので、信号配線の断線故障が発生して前記半導体集積回路装置を搭載した電子機器が誤動作若しくは動作不能となる前に、前記半導体集積回路装置の取替えるなどの対処がで

6

き、電子機器の信頼性を向上することができる。

【0040】以上、本発明者によってなされた発明を前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0041】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0042】1. 半導体集積回路装置において、劣化故障の発生を未然に予測することができる。

【0043】2. 半導体集積回路装置を搭載する電子機器の信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の概略構成を示すブロック図、

【図2】本実施例の半導体集積回路装置の劣化予測素子の構成を示す平面図および要部断面図、

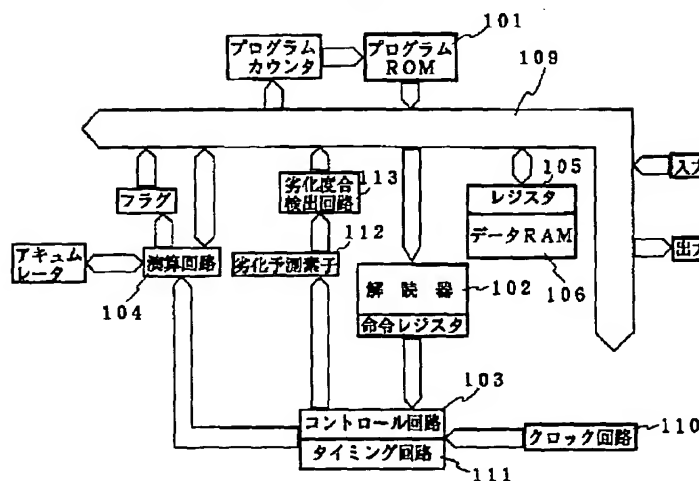
【図3】半導体集積回路装置の連続動作時間と故障率との関係を示すグラフ。

【符号の説明】

101…プログラムROM、102…解読器、103…コントロール回路、104…演算回路、105…レジスタ、106…データRAM、107…入力ポート、108…出力ポート、109…データバス、110…クロック回路、111…タイミング回路、112…劣化予測素子、113…劣化度合検出素子、20…半導体基板、21…直線部、22…コンタクト部、23…絶縁膜、24a、24b、24c…層間絶縁膜、25a、25b、25c…下層配線。

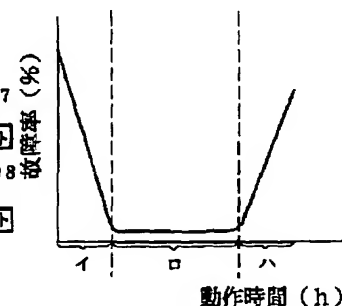
【図1】

図1



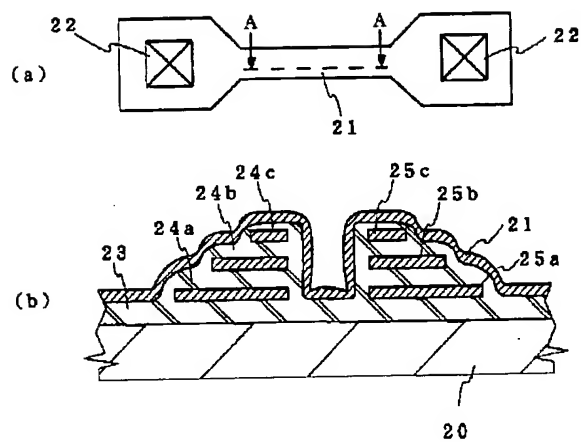
【図3】

図3



【図2】

図2




---

フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 21/82

識別記号 庁内整理番号 F I

技術表示箇所